

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-172306

(43) 公開日 平成9年(1997)6月30日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P 7/10			H 0 1 P 7/10	
	11/00		11/00	F C2
H 0 3 B 5/18			H 0 3 B 5/18	D

審査請求 有 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願平7-331721

(22) 出願日 平成7年(1995)12月20日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 細谷 健一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 松浦 兼行

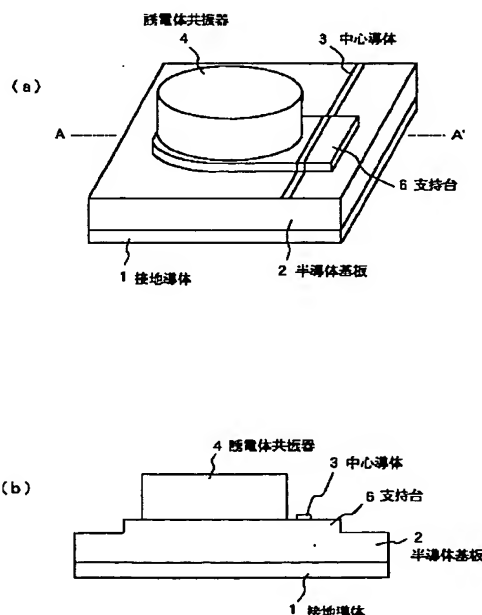
(54) 【発明の名称】 マイクロ波回路

(57) 【要約】

【課題】 支持台を介して誘電体共振器を半導体基板に固定した従来のマイクロ波回路は、支持台の厚み方向の距離が増大し、誘電体共振器と中心導体との間の結合強度が低下するという問題がある。

【解決手段】 接地導体1、半導体基板2及び中心導体3によりマイクロストリップ線路が構成される。支持台6は、誘電体共振器4からはみ出した部分を有し、その一部に中心導体3が形成されている。支持台6には中心導体3の近傍に誘電体共振器4が接着剤等により固定されている。これにより、無負荷Q値の劣化を抑制することを目的として誘電体共振器4を接地導体1から遠ざけるために支持台6の高さを高くしても、支持台6上に誘電体共振器4と中心導体3の両方を乗せるようにしているため、誘電体共振器4と中心導体3の半導体基板2の表面に垂直な方向の距離が増大することはない。

本発明の一実施の形態の斜視図及び断面図



【特許請求の範囲】

【請求項1】 マイクロストリップ線路に誘電体共振器を磁氣的に結合させたマイクロ波回路において、前記マイクロストリップ線路の一部を構成する基板の表面に、支持台を介して前記誘電体共振器を固定し、かつ、前記マイクロストリップ線路の一部を構成する中心導体を前記支持台及び前記基板のそれぞれの表面に形成したことを特徴とするマイクロ波回路。

【請求項2】 前記支持台は、前記基板のエッチングにより形成されていることを特徴とする請求項1記載のマイクロ波回路。

【請求項3】 前記支持台は、前記基板上に堆積された絶縁膜により形成されていることを特徴とする請求項1記載のマイクロ波回路。

【請求項4】 前記中心導体は、トランジスタに接続されてモノリシック集積回路化されていることを特徴とする請求項1記載のマイクロ波回路。

【請求項5】 前記支持台が形成されている基板は、少なくとも前記中心導体に接続された帰還用線路と、キャパシタが表面に形成された絶縁性基板であり、前記中心導体がトランジスタチップに接続線を介して接続されてハイブリッド集積回路化されていることを特徴とする請求項1記載のマイクロ波回路。

【請求項6】 前記支持台は、前記誘電体共振器との接合部分の一部が空洞部分とされていることを特徴とする請求項1乃至3のうちいずれか一項記載のマイクロ波回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はマイクロ波回路に係り、特に誘電体共振器を用いた誘電体共振器(DRO)やフィルタなどのマイクロ波回路に関する。

【0002】

【従来の技術】従来の誘電体共振器を用いたマイクロ波回路について図面を参照して説明する。図10(a)は従来の誘電体共振器を用いたマイクロ波回路の第1の例を示す斜視図、図10(b)は図10(a)のA-A'線に沿う断面図である。

【0003】図10(a)及び(b)に示すように、この従来のマイクロ波回路は、裏面に接地導体1を備えた半導体基板2の表面にマイクロストリップ線路の中心導体3が形成され、かつ、中心導体3の近傍に誘電体共振器4が接着剤等で固定された構成である。

【0004】図11(a)は従来の誘電体共振器を用いたマイクロ波回路の第2の例を示す斜視図、図11(b)は図11(a)のA-A'線に沿う断面図である。

【0005】図11(a)及び(b)に示すように、この従来のマイクロ波回路は、裏面に接地導体1を備えた半導体基板2の表面にマイクロストリップ線路の中心導

体3が形成され、かつ、中心導体3の近傍に支持台5を介して誘電体共振器4が接着剤等で固定された構成である。

【0006】支持台5は通常、石英ガラスなどを材料として成型により形成されたもので、あらかじめ誘電体共振器4の裏面に接着材で取り付けられる。また、支持台5の別の例としては、特開平7-38311号公報に記載されているような、絶縁材料からなる厚膜体を半導体基板2上に印刷形成したものでもよく、誘電体共振器4はこの厚膜体上に接着剤により固着される。

【0007】

【発明が解決しようとする課題】図10に示した従来のマイクロ波回路の第1の例では、半導体基板2上に誘電体共振器4を直接配置する構成であるため、誘電体共振器4と接地導体1との距離が小さく、接地導体1の導体損失に起因した共振系の無負荷Q値の低下が大きくなるという問題がある。

【0008】半導体基板2の厚みを大きくすることにより無負荷Q値の低下は抑制できるが、同じマイクロストリップ線路の特性インピーダンスを得るためには中心導体3の幅を大きくする必要が生じチップ面積の増大につながる。さらに能動素子を集積化したモノリシック集積回路の場合には、半導体基板厚の増大は放熱性の悪化やバイアホール径の増大につながる。従って、半導体基板2の厚みを自由に大きくすることはできない。

【0009】一方、図11に示した従来のマイクロ波回路の第2の例では、支持台5を介して誘電体共振器4を固定する構成とすることにより、半導体基板2の厚みを増大させることなく、誘電体共振器4と接地導体1の距離を大きくすることができ、接地導体1の導体損失に起因した無負荷Q値の低下を抑制できる。

【0010】しかし、誘電体共振器4と中心導体3の半導体基板2表面に垂直な方向の距離(支持台5の厚み方向の距離)が増大し、誘電体共振器4と中心導体3との間の結合強度が低下するという問題がある。

【0011】本発明は以上の点に鑑みなされたもので、基板厚を厚くすることなく無負荷Q値を増大し得るマイクロ波回路を提供することを目的とする。

【0012】また、本発明の他の目的は、誘電体共振器と中心導体との結合強度の低下を抑制し得るマイクロ波回路を提供することにある。

【0013】更に、本発明の他の目的は、共振器の位置ずれによる特性ばらつきを抑制し得るマイクロ波回路を提供することにある。

【0014】

【課題を解決するための手段】上記の目的を達成するため、本発明の請求項1に係るマイクロ波回路は、マイクロストリップ線路に誘電体共振器を磁氣的に結合させたマイクロ波回路において、マイクロストリップ線路の一部を構成する基板の表面に、支持台を介して誘電体共振

器を固定し、かつ、マイクロストリップ線路の一部を構成する中心導体を前記支持台及び前記基板のそれぞれの表面に形成したものである。

【0015】この発明では、支持台の上に誘電体共振器を固定すると共にマイクロストリップ線路の中心導体を支持台上に形成するようにしたため、基板厚を増大させることなく、しかも誘電体共振器と中心導体の基板表面に垂直な方向の距離を増大させることなく、誘電体共振器を接地導体から遠ざけることができる。

【0016】また、上記の目的達成のため、本発明の請求項2、3に係るマイクロ波回路は、請求項1に係るマイクロ波回路の支持台を、基板をエッチングすることにより、あるいは基板上に堆積した絶縁膜により形成することを特徴としている。

【0017】また、本発明の請求項4に係るマイクロ波回路は、請求項1に係るマイクロ波回路における中心導体を、トランジスタに接続してモノリシック集積回路化されていることを特徴とする。

【0018】また、本発明の請求項5に係るマイクロ波回路は、請求項1に係るマイクロ波回路における支持台が形成されている基板を、少なくとも中心導体に接続された帰還用線路と、キャパシタが表面に形成された絶縁性基板とし、中心導体がトランジスタチップに接続線を介して接続されてハイブリッド集積回路化されていることを特徴とする。

【0019】更に、本発明の請求項6に係るマイクロ波回路は、請求項1に係るマイクロ波回路における支持台を、誘電体共振器との接合部分の一部が空洞部分とされていることを特徴とする。この発明では、支持台を形成する支持台の一部が誘電損失の小さい空気あるいは真空とされる。

【0020】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。

【0021】図1(a)は本発明の一実施の形態のマイクロ波回路の斜視図、同図(b)は同図(a)のA-A'線に沿う断面図である。この実施の形態のマイクロ波回路は、図1(a)及び(b)に示すように、接地導体1と、接地導体1が裏面に形成された半導体基板2と、中心導体3と、中心導体3の近傍に配置された円柱状の誘電体共振器4と、支持台6から成る。

【0022】接地導体1、半導体基板2及び中心導体3によりマイクロストリップ線路が構成される。支持台6は、誘電体共振器4からはみ出した部分を有し、その一部に中心導体3が形成されている。支持台6には中心導体3の近傍に誘電体共振器4が接着剤等により固定されている。

【0023】このように、この実施の形態のマイクロ波回路では、無負荷Q値の劣化を抑制することを目的として誘電体共振器4を接地導体1から遠ざけるために支持

台6の高さを高くしても、支持台6上に誘電体共振器4と中心導体3の両方を乗せるようにしているため、誘電体共振器4と中心導体3の半導体基板2の表面に垂直な方向の距離が増大することはない。従って、半導体基板2の基板厚を厚くしなくとも、しかも支持台6の高さを高くしても結合強度の低下を抑制することができる。

【0024】次に、図1のマイクロ波回路の製造方法の一実施の形態の製造工程について図2(a)～(d)と共に説明する。この製造方法は、支持台6を半導体基板で形成した点に特徴がある。まず、図2(a)に示すように半導体基板2のエッチングにより、図1の支持台6に相当する支持台6aを形成する。次に図2(b)に示すように、中心導体3を支持台6a上に形成する。続いて、必要であれば研磨等により基板厚を調整した後、図2(c)に示すように半導体基板2の裏面に接地導体1を形成する。最後に図2(d)に示すように誘電体共振器4を支持台6a上で、かつ、中心導体3の近傍に接着剤等により固定する。

【0025】次に、図1のマイクロ波回路の製造方法の他の実施の形態の製造工程について図3(a)～(d)と共に説明する。この製造方法は、支持台6を絶縁膜で形成した点に特徴がある。まず、図3(a)に示すように半導体基板2上に低損失の絶縁膜7を堆積する。次に図3(b)に示すように絶縁膜7をエッチングすることにより、絶縁膜7からなる支持台6b(図1の支持台6に相当する)を形成する。次に図3(c)に示すように支持台6b上に中心導体3を形成する。続いて、必要であれば研磨等により基板厚を調整した後、図3(d)に示すように半導体基板2の裏面に接地導体1を形成する。最後に図3(e)に示すように、支持台6b上で、かつ、中心導体3の近傍に誘電体共振器4を固定する。

【0026】図2、図3どちらの製造方法の場合にも、モノリシック集積回の場合には、図2及び図3に示した工程の間にトランジスタや受動素子の製造工程が挿入される。

【0027】図4は本発明のマイクロ波回路をMMIC(Microwave Monolithic Integrated Circuit)誘電体共振器(DRO)に適用した場合の一例の平面図を示す。図4に示すDROは、裏面に接地導体を有する半導体基板2、中心導体3、支持台6、誘電体共振器4、バイアホール10、抵抗体11、MIMキャパシタ12、バイアスパッド13、出力パッド14、整合用オープンスタブ15、帰還用線路16、1/4波長線路17、ゲート電極18、ドレイン電極19、ソース電極20、活性層21から構成される。

【0028】ゲート電極18、ドレイン電極19、ソース電極20及び活性層21により電界効果トランジスタ(FET)が構成される。中心導体3の一端はゲート電極18に接続され、他端は抵抗体11に接続されている。また、ドレイン電極19はMIMキャパシタ12を

介して帰還用線路16により中心導体3に接続されている。

【0029】このDROは、帰還用線路16により帰還をかけ、負性抵抗を発生させる並列帰還型の発振回路である。大きな無負荷Q値と適当な値の温度係数を有する誘電体共振器4を装荷することにより、位相雑音が小さく、高い温度安定性を有する発振回路を実現できる。バイアスパッド13からFETのゲート電極18及びドレイン電極19に直流電圧が印加される。抵抗体11は寄生発振防止のために、MIMキャパシタ12は直流電流

10 阻止のために付加されている。
【0030】図5は本発明のマイクロ波回路をHIC (Hybrid Integrated Circuit) 誘電体共振発振器(DRO)に適用した場合の一例の平面図を示す。同図に示すように、このDROは、中心導体3、誘電体共振器4、支持台6、抵抗体11、MIMキャパシタ12、出力パッド14、整合用オープンスタブ15、帰還用線路16、1/4波長線路17が形成された絶縁性基板22と、ゲート電極18、ドレイン電極19、ソース電極20、活性層21を有するFETチップ25と、チップコンデンサ24とが金属ブロック23上に固定されることにより構成され、それぞれが金線26により電気的に接続されている。

【0031】図6は本発明のマイクロ波回路を調整ビスを有するシールドケースに実装した場合の一実施の形態を示す断面図である。本発明のマイクロ波回路のように誘電体共振器4を用いた回路のチップは通常、図6に示したような調整ビス27を有するシールドケース28に実装して用いられる。

【0032】図7(a)は本発明になるマイクロ波回路30の他の実施の形態を示す断面図、同図(b)はその平面図を示す。この実施の形態のマイクロ波回路においては、支持台5の一部に空洞部分29を形成している。空洞部分29は、図2(a)に示した製造工程におけるエッチングで、支持台6の形成時に形成できる。この場合は、支持台6を形成する支持台の一部が空洞部分29により誘電損失の小さい空気あるいは真空とされる。

【0033】

【実施例】以下、図面を参照して本発明の実施例を説明する。

【0034】図1(a)の斜視図及び同図(b)の断面図に示す本発明のマイクロ波回路では、20 μ m厚の金から成る接地導体1、40 μ m厚のGaAsから成る半導体基板2、2 μ m厚で30 μ m幅の金から成る中心導体3、半径650 μ m、高さ550 μ mの円柱型のBa(Mg, Ta)O₃から成る誘電体共振器4、及び10 μ m厚のGaAsから成る支持台6から構成される。

【0035】本発明のマイクロ波回路における支持台6を半導体基板で形成する場合の製造工程では、まず図2(a)に示すように600 μ m厚のGaAsから成る半

導体基板2の表面に、硫酸系エッチャント等を用いたエッチングにより10 μ m厚の支持台6aを形成する。この際、支持台6aのパターニングにフォトリソストを用いたリソグラフィー技術を用いる。

【0036】次に図2(b)に示すように、2 μ m厚の金から成る中心導体3を支持台6a上に形成する。この工程は例えば、Ti/Pt/Auなどから成る0.5 μ m程度の金属薄膜をスパッタにより形成する工程と、中心導体3のパターニングの為のリソグラフィー工程と、中心導体3となる金をメッキする工程と、フォトリソストを有機溶剤により除去する工程と、金属薄膜をミリングにより除去する工程から構成される。

【0037】その後研磨とエッチングにより基板厚を40 μ mとし、図2(c)に示すようにメッキにより20 μ m厚の金から成る接地導体1を、半導体基板2の裏面にメッキ等により形成する。

【0038】最後に図2(d)に示すように誘電体共振器4を接着剤等により支持台6a上に固定する。

【0039】次に、本発明のマイクロ波回路において、支持台6を絶縁膜で形成する製造工程では、まず、図3(a)に示すように半導体基板2上にSiO₂などから成る絶縁膜7をプラズマCVD法などにより5 μ m程度堆積する。

【0040】次に、図3(b)に示すようにバッファド弗酸等をエッチャントとしたエッチングにより絶縁膜7から成る支持台6bを形成する。この際、支持台6bのパターニングにフォトリソストを用いたリソグラフィー技術を用いる。

【0041】次に、図3(c)に示すように、2 μ m厚の金から成る中心導体3を支持台6b上に形成する。この工程は例えば、Ti/Pt/Auなどから成る0.5 μ m程度の金属薄膜をスパッタにより形成する工程と、中心導体のパターニングの為のリソグラフィー工程と、中心導体となる金をメッキする工程と、フォトリソストを有機溶剤により除去する工程と、金属薄膜をミリングにより除去する工程から構成される。

【0042】その後研磨とエッチングにより基板厚も40 μ mとし、図3(d)に示すようにメッキにより20 μ m厚の金から成る接地導体1を、半導体基板2の裏面にメッキ等により形成する。

【0043】最後に図3(e)に示すように誘電体共振器4を接着剤等により支持台6b上に固定する。

【0044】図2、図3どちらの製造方法の場合にも、モノリシック集積回路の場合には、図2、図3に示した工程の間にトランジスタや受動素子の製造工程が挿入される。

【0045】次に、図4に示した本発明のマイクロ波回路をMMIC誘電体共振発振器(DRO)に適用した場合の実施例について説明する。裏面に20 μ m厚の金から成る接地導体を有し40 μ m厚のGaAsから成る半

導体基板2、2 μm 厚で30 μm 幅の金から成る中心導体3、10 μm 厚のGaAsから成る支持台6、半径650 μm 、高さ550 μm の円柱型のBa(Mg, Ta)O₃から成る誘電体共振器4、30 μm 角のバイアホール10、エビタキシャル層とAu/Ge/Ni/Auオーミック金属から成る抵抗体11、SiNxを誘電膜に用いたMIMキャパシタ12、バイアスパッド13、出力パッド14、整合用オープンスタブ15、帰還用線路16、1/4波長線路17、Ti/Alから成るゲート電極18、Au/Ge/Ni/Auオーミック金属から成るドレイン電極19及びソース電極20、活性層21から構成される。

【0046】次に、図5に示した本発明のマイクロ波回路をHIC誘電体共振発振器(DRO)に適用した場合の実施例について説明する。このDROは、中心導体3、支持台6、誘電体共振器4、抵抗体11、MIMキャパシタ12、出力パッド13、整合用オープンスタブ15、帰還用線路13、1/4波長線路17が形成された100 μm 厚のアルミナから成る絶縁性基板22と、ゲート電極18、ドレイン電極19、ソース電極20、活性層21を有するFETチップ25と、チップコンデンサ24とが、5mm厚の銅表面に金をメッキした金属ブロック23上に固定されることにより構成され、それぞれが直径10 μm 程度の金線26を数本用いて電氣的に接続されている。支持台6は、アルミナから成る絶縁性基板22のエッチングにより形成されている。

【0047】次に、図6に示した本発明のマイクロ波回路を調整ビスを有するシールドケースに実装した実施の形態の実施例について説明する。本発明のマイクロ波回路のように誘電体共振器を用いた回路のチップは通常、図6に示したような調整ビス27を有するシールドケース28に実装して用いられる。シールドケース28は、5mm厚の銅表面に金をメッキした金属により成り、密閉構造としている。調整ビス27は、ネジ式で上下可動の構造としている。

【0048】次に、図7に示した本発明のマイクロ波回路の実施例について説明する。このマイクロ波回路の寸法、材料等は図1に示したマイクロ波回路と同じである。ただし、支持台6の一部に半径500 μm 、深さは支持台高さと同じ空洞部分29が形成されている。この空洞部分29は、図2(a)に示した製造工程における支持台6aのパターニングを変更することにより形成できる。

【0049】図8はマイクロ波回路の一実施の形態の無負荷Q値の支持台高さ依存性を計算により求めたグラフである。図10に示した従来のマイクロ波回路のように誘電体共振器4を基板2上に直接配置した場合は支持台高さが0に相当する。図8からわかるように、支持台高さを増大することにより無負荷Q値は増大する。この点で、本発明のマイクロ波回路及び図11に示した従来の

マイクロ波回路は、いずれも支持台を有しているから支持台を有しない図10に示した従来のマイクロ波回路に対して有利である。

【0050】図9は本発明のマイクロ波回路の一実施の形態と図11に示した従来のマイクロ波回路の外部Q値の支持台高さ依存性を計算により求めたグラフである。外部Q値は、マイクロストリップ線路と誘電体共振器の結合の強度を表し、外部Q値が小さい程結合強度が大きい。

【0051】実線Iは中心導体3を支持台6上に形成した本発明の一実施の形態のマイクロ波回路における外部Q値と支持台高さとの特性を示し、点線I1は中心導体3を基板2上に形成した図11に示した従来のマイクロ波回路における外部Q値と支持台高さとの特性を示す。

【0052】図9に示すように、支持台高さの増大に従い、従来のマイクロ波回路の外部Q値が増大するのに対し、本発明の一実施の形態のマイクロ波回路における外部Q値は減少している。すなわち、支持台高さの増大に従い、従来のマイクロ波回路の結合強度は減少し、本発明のマイクロ波回路の結合強度は増大している。これは、図1に示した本発明の実施の形態では、支持台6上に誘電体共振器4と中心導体3の両方を乗せることにより、支持台6の高さを高くしても誘電体共振器4と中心導体3の半導体基板2の表面に垂直な方向の距離を増大させることなく、誘電体共振器4を接地導体1から遠ざけることができるためである。

【0053】なお、本発明は以上の実施の形態に限定されるものではなく、例えば支持台6の幅は、誘電体共振器4の幅よりも狭くてもよい。

【0054】

【発明の効果】以上説明したように、本発明によれば、支持台上に誘電体共振器と中心導体の両方を乗せることにより、基板厚を増大させることなく、しかも誘電体共振器と中心導体の半導体基板表面に垂直な方向の距離を増大させることなく、誘電体共振器を接地導体から遠ざけることができるため、基板厚の増大と結合強度の低下を同時に回避しながら無負荷Q値の劣化を抑制できる。

【0055】また、本発明によれば、支持台を形成する支持台の一部が誘電損失の小さい空気あるいは真空とされるため、支持台の誘電損失に起因する無負荷Q値の劣化を抑制できる。

【図面の簡単な説明】

【図1】本発明のマイクロ波回路の一実施の形態の斜視図及び断面図である。

【図2】図1のマイクロ波回路の製造工程の一例を説明する断面図である。

【図3】図1のマイクロ波回路の製造工程の他の例を説明する断面図である。

【図4】本発明のマイクロ波回路をMMICの誘電体共振発振器に適用した一例の平面図である。

【図5】本発明のマイクロ波回路をHICの誘電体共振発振器に適用した一例の平面図である。

【図6】本発明のマイクロ波回路の実装方法を示す断面図である。

【図7】本発明のマイクロ波回路の他の実施の形態の断面図及び平面図である。

【図8】無負荷Q値の支持台高さ依存性を示すグラフである。

【図9】外部Q値の支持台高さ依存性を本発明のマイクロ波回路と従来のマイクロ波回路とを対比して示すグラフである。

【図10】従来のマイクロ波回路の一例の斜視図及び断面図である。

【図11】従来のマイクロ波回路の他の例の斜視図及び断面図である。

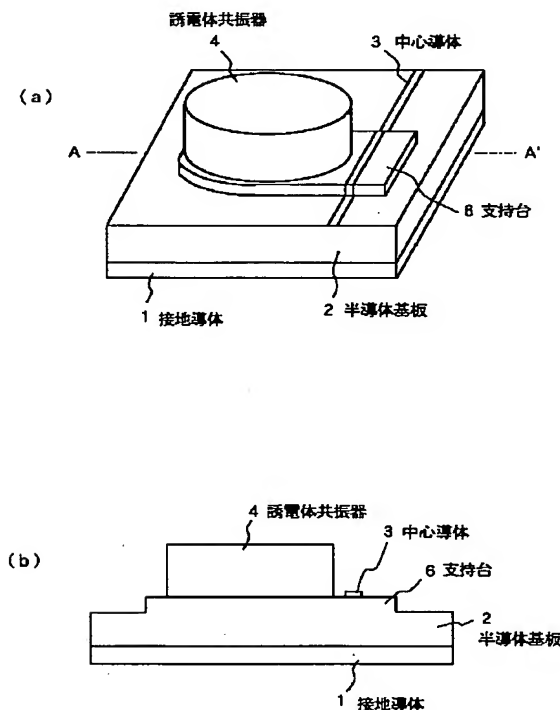
【符号の説明】

- 1 接地導体
- 2 半導体基板
- 3 中心導体

- * 4 誘電体共振器
- 6、6a、6b 支持台
- 7 絶縁膜
- 12 MIMキャパシタ
- 15 整合用オープンスタブ
- 16 帰還用線路
- 17 1/4波長線路
- 18 ゲート電極
- 19 ドレイン電極
- 20 ソース電極
- 21 活性層
- 22 絶縁性基板
- 23 金属ブロック
- 24 チップコンデンサ
- 25 FETチップ
- 26 金線
- 27 調整ビス
- 28 シールドケース
- * 29 空洞部分

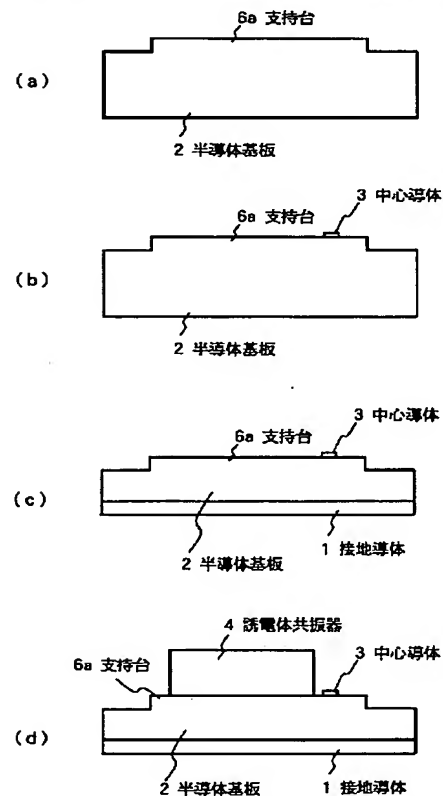
【図1】

本発明の一実施の形態の斜視図及び断面図



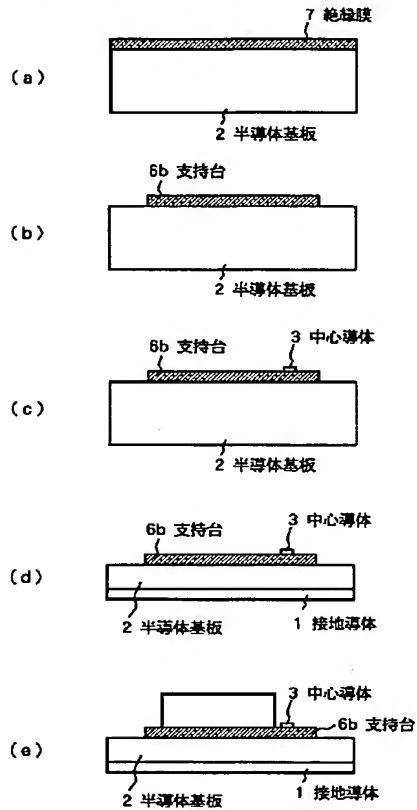
【図2】

図1のマイクロ波回路の製造方法の一例の製造工程説明図



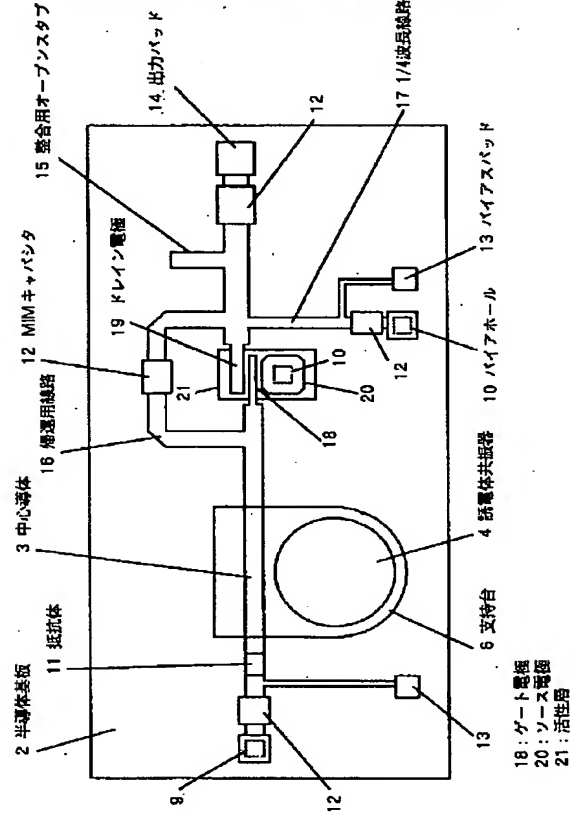
【図3】

図1のマイクロ波回路の製造方法の他の例の製造工程説明図



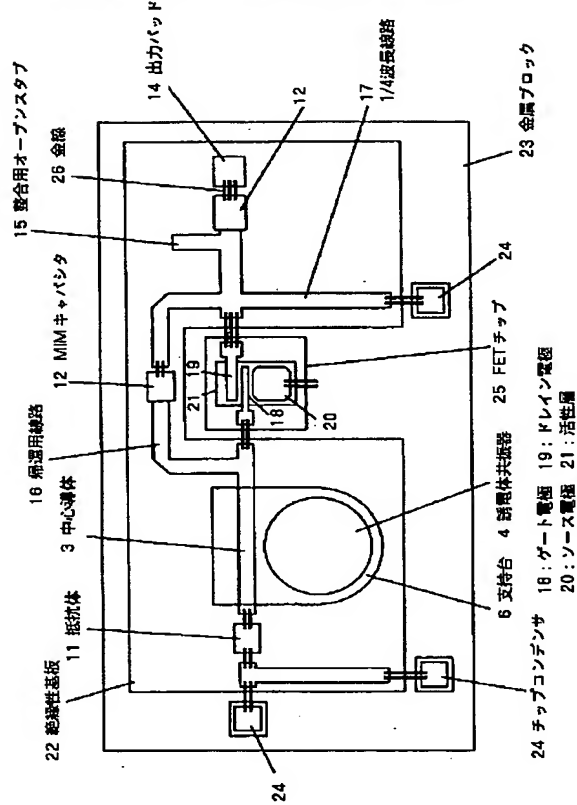
【図4】

本発明をMMICのDROに適用した場合の一例の平面図



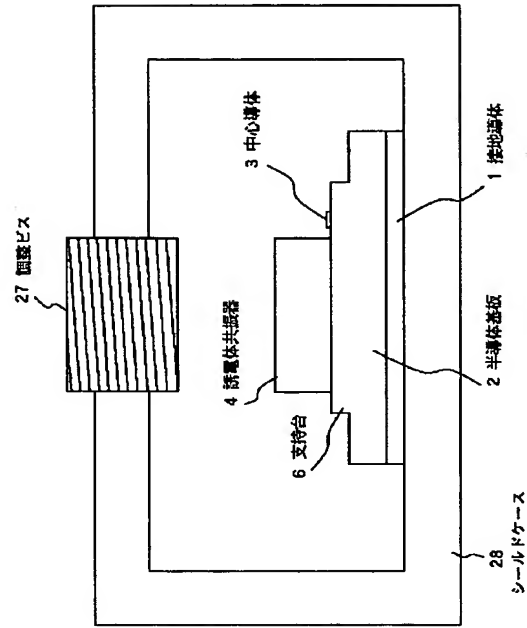
【図5】

本発明をHICのDROに適用した場合の一例の平面図



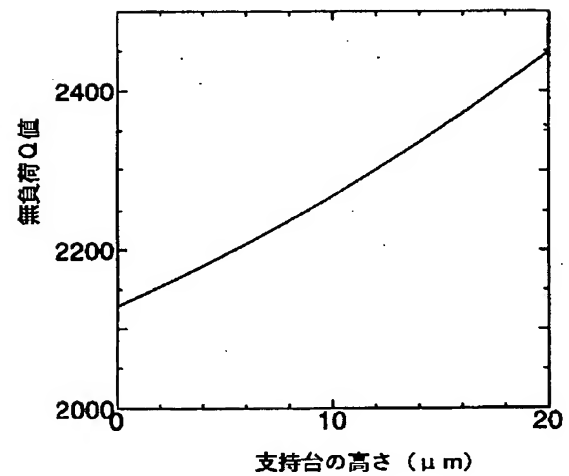
【図6】

本発明の実装方法を示す断面図



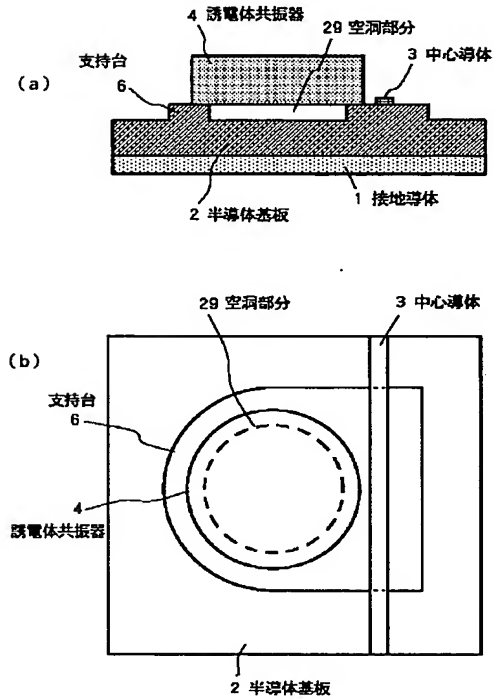
【図8】

無負荷Q値の支持台高さ依存性を示す図



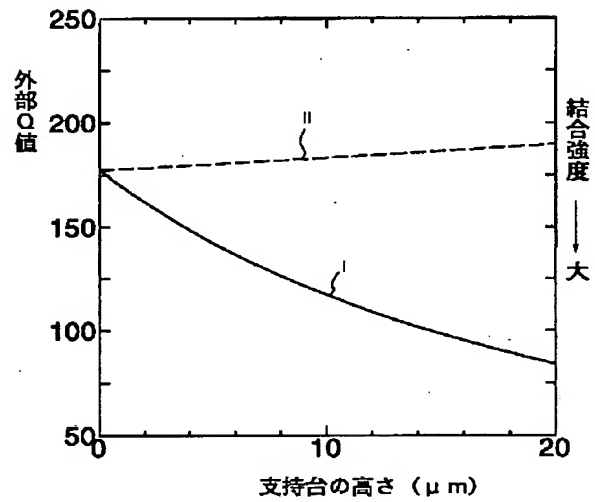
【図7】

本発明の他の実施の形態の断面図及び平面図



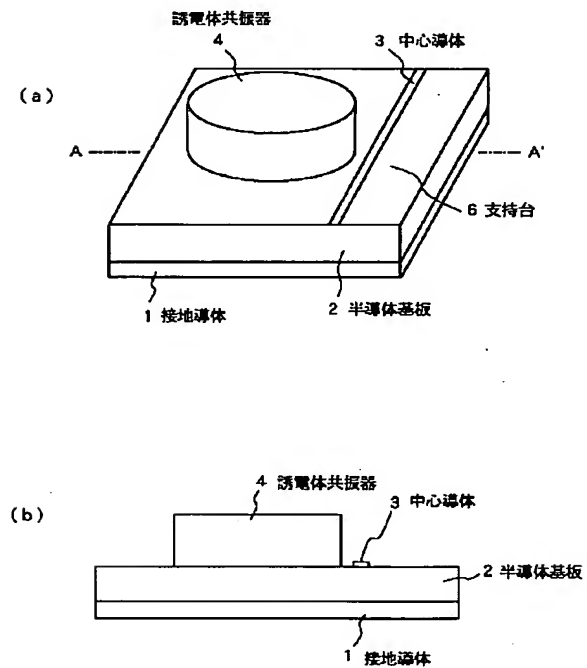
【図9】

外部Q値の支持台高さ依存性を本発明と従来と対比して示す図



【図10】

従来の一例の斜視図及び断面図



【図11】

従来の他の例の斜視図及び断面図

